

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032606

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H04L 12/56

H04L 25/00

(21)Application number : 08-200989

(71)Applicant : YAMAHA CORP

(22)Date of filing : 12.07.1996

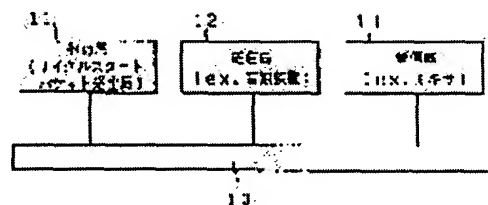
(72)Inventor : FUJIMORI JUNICHI
INAGAKI YOSHIHIRO
KURIBAYASHI YASUTAKA
OTANI YASUSHI
ABE TATSUTOSHI

(54) DATA TRANSMITTER-RECEIVER AND DATA TRANSFER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the transmission efficiency by reducing the number of bits of a time stamp.

SOLUTION: A network 10 is configured to transfer an isochronous packet without fail during transmission cycle started by a cycle start signal generated in response to a 1st timing signal for a period of 125μsec. A transmission station 12 generates an isochronous packet formed by adding a time stamp corresponding to a difference time between the 1st timing signal and the sampling timing to data obtained by sampling an analog signal in a prescribed sampling timing and the packet is written in a transmitter side FIFO with the 1st timing signal and sent to the network 10 from the FIFO by the cycle start signal. A reception station 13 writes the received packet to the receiver side FIFO with the cycle start signal and read from the FIFO with the 1st timing signal and the analog signal is reproduced on a time base.



LEGAL STATUS

[Date of request for examination]

17.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the difference from the 1st timing signal which has a fixed period -- the transmit data to which the time stamp with which it was expressed as data was added It is based on the 2nd timing signal generated according to the 1st timing signal of the above. Are the data source sent out on a network and it has a FIFO buffer. The data source characterized by writing the aforementioned transmit data in the aforementioned FIFO buffer based on the 1st timing signal of the above, taking out the aforementioned transmit data from the aforementioned FIFO buffer based on the 2nd timing signal of the above, and transmitting on a network.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the data transmitter-receiver which transmits the data with which the time stamp was added via the network, and a data transfer system.

[0002]

[Description of the Prior Art] There are a synchronous transmission method with which a transmitting side and a receiving side transmit the signal of the same period continuously as a method which transmits data via a network, start-stop system communication which transmits the unit of the defined information which is an intermittent time interval, and the isochronous (Isochronous) transmittal mode positioned in these middle. According to this isochronous transmittal mode, it becomes possible to perform high data transfer of the real time nature to which the band was beforehand secured to and time delay was guaranteed.

[0003] This isochronous transmittal mode is explained with reference to drawing 7. What was shown in this drawing is what showed the example of arrangement of the packet on the bus in the system called IEEE1394 high-speed serial bus, and three kinds of packets, the cycle-start packet 101, an isochronous packet 102, and the asynchronous (asynchronous) packet 103, are arranged on the network. Moreover, the dashed line shows the 1st timing signal (cycle synch) made into criteria in this system, and this 1st timing signal is made into the signal of 125microsec period (8kHz).

[0004] The aforementioned cycle-start packet 101 is a packet sent out from the node called cycle master among two or more nodes connected to this bus, and a new transmission cycle is started by this cycle-start packet 101. Although the aforementioned cycle master has the precise source of a clock and it is going to transmit the aforementioned cycle-start packet 101 by the time interval of the 1st timing signal of the above from this source of a clock, while a transfer of other packets is advancing then, transmission of the aforementioned cycle-start packet 101 is made as [keep / waiting] until the transfer is completed. 104 shows this time delay (start delay), it encodes in the aforementioned cycle-start packet 101, and this time delay is sent out to each node. In addition, it is guaranteed that the packet transmitted from the aforementioned node is received by other nodes within the same clock period.

[0005] Each node is equipped with the 32-bit cycle-timer register, respectively. Using 12 bits of the low rank, each cycle-timer register makes 3072 law, carries out counting of the 24.576MHz clock signal (40.7ns of periods) which is the reference clock of a system, performs counting of a 8 aforementionedkHz criteria cycle by 13 bits of the high order, and is made as [carry out / counting of the second / by 7 bits of the most significant]. And the aforementioned cycle master makes the content of the cycle-timer register of self copy to the cycle-timer register of all nodes using the aforementioned cycle-start packet 101, and synchronizes all nodes within fixed phase contrast. Thus, common time base is guaranteed in this network.

[0006] It is the channel used in order for an isochronous packet 102 to make the data which need "precise refer to [of a digital sound, video, or performance data] the timing" transmit, and it is

guaranteed that these isochronous packets 102 are surely transmitted in each transmission cycle. Moreover, the aforementioned asynchronous packet 103 is a packet transmitted asynchronously, when idle time is in the transmission cycle concerned, after transmission of the aforementioned isochronous packet 102 is completed.

[0007] Now, using the network of these various kinds, when transmitting time series data, such as voice data, image data, or performance data, it sets. When the transmission path is not made into the perfect synchronous transmission method In order to guarantee the repeatability on the time-axis of the data transmitted, when the time stamp in which the time when the data should be reproduced is shown is added to the data itself, it transmits to it and it reaches at the time concerned with reference to the time stamp in a receiving side, reproducing the data concerned is performed.

[0008]

[Problem(s) to be Solved by the Invention] As a time stamp used on such a network, you must be what can recognize time uniquely. That is, the repeat period more than the time width of face considered to be to some extent appropriate will be needed for a time stamp, and, for that, many amount of information will be needed. When it expresses information with digital representation, many amount of information will need many amount of information, i.e., many numbers of bits, in order to raise the time resolution of the hour entry specified with a time stamp since it is equivalent to many numbers of bits. For example, when aforementioned drawing 7 was explained, the time stamp of 32 bit length was used.

[0009] Furthermore, it is necessary to send the time stamp information other than data for every predetermined period, and the rate over the transmit data of time stamp information has a small desirable thing in the transmission system of a type which adds the above time stamps and transmits data. However, as mentioned above, for reservation of the uniqueness of the time expressed by the time stamp, or improvement in a time resolution, the number of bits of a time stamp became large, and there was a trouble that data transmission efficiency will fall.

[0010] Then, this invention aims at reducing the number of bits of a time stamp and improving data transmission efficiency by adding a time stamp to data and transmitting to them in the data transfer system which enabled it to aim at reappearance on the time-axis of the data transmitted.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the data source of this invention the difference from the 1st timing signal which has a fixed period -- the transmit data to which the time stamp with which it was expressed as data was added It is based on the 2nd timing signal generated according to the 1st timing signal of the above. Are the data source sent out on a network and it has a FIFO buffer. Based on the 1st timing signal of the above, the aforementioned transmit data is written in the aforementioned FIFO buffer, the aforementioned transmit data is taken out from the aforementioned FIFO buffer based on the 2nd timing signal of the above, and it transmits on a network.

[0012] The time stamp with which it was expressed as data is added. moreover, the difference from the 1st timing signal which has a period with the fixed data sink of this invention -- It is the data sink which receives the data transmitted on the network based on the 2nd timing signal generated according to the 1st timing signal of the above. Have a FIFO buffer and the aforementioned data received from the aforementioned network are written in the aforementioned FIFO buffer based on the 2nd timing signal of the above. Based on the 1st timing signal of the above, data are taken out from the aforementioned FIFO buffer, and the data concerned are reproduced on a time-axis based on the aforementioned time stamp.

[0013] Further again the data transfer system of this invention It is the data transfer system by which the data transfer on a network is controlled based on the 2nd timing signal generated according to the 1st timing signal which has the data source and a data sink and has a fixed period. The time stamp with which it was expressed as data is added to transmit data. the aforementioned data source -- the difference from the 1st timing signal of the above -- The transmit data to which the aforementioned time stamp was added is written in the 1st FIFO buffer based on the 1st timing signal of the above. Based on the 2nd timing signal of the above, the aforementioned transmit data is taken out from the 1st FIFO buffer of the above, and it transmits on a network. the aforementioned data sink The data transmitted on the

aforementioned network based on the 2nd timing signal of the above are written in the 2nd FIFO buffer. The data received from the 2nd FIFO buffer of the above based on the 1st timing signal of the above are taken out, and the data concerned are reproduced on a time-axis based on the aforementioned time stump.

[0014]

[Embodiments of the Invention] Drawing 1 is the block diagram showing an example of the data transfer structure of a system of this invention. In this drawing, 10 is the aforementioned network and can perform the isochronous transfer shown in aforementioned drawing 7. Moreover, it is the sending station which transmits the time series data for which 11-13 are examples of each node connected to this network 10, and to reproduce 12 on a time-axis is needed, for example, is sound-source equipment which sends out a musical-sound wave signal. Moreover, 13 is a receiving station which receives the aforementioned time series data, for example, is a mixer which mixes the aforementioned musical-sound wave signal. From this sending station 12, time series data, such as a musical-sound data point sampled by predetermined sampling timing, add a time stump, and are transmitted, and the aforementioned receiving station 13 reproduces a musical-sound data point to the timing which received the data and was specified by the aforementioned time stump. In addition, the node of two or more others is also connected to this network 10, and it has become the cycle master (cycle-start packet sending-out office) which the other offices 11 mentioned above.

[0015] Drawing 2 is the block diagram showing an example of the internal configuration of each aforementioned nodes 11-13, and the network interface circuit for connecting to the aforementioned network 10 ROM [central processing unit / (CPU)] in which 21 is stored in and, as for 22, a program of operation and various data are stored, RAM for which 23 is used as a working area etc., the timer with which 24 generates various timing signals including the aforementioned cycle-timer register, and 26, and 27 are internal buses. Moreover, 25 is made into a data generation circuit, when it is data use / generation circuit and this node is a sending station 12, and when it is a receiving station 13, let it be a data use circuit.

[0016] Drawing 3 is a functional block diagram for explaining data transfer operation in the aforementioned sending station 12 and the aforementioned receiving station 13. (a) of drawing 3 is the block diagram showing the function of the aforementioned sending station 12. In this drawing, 31 is a data generation circuit and generates the transmitting packet of an isochronous channel for every aforementioned criteria period of 125microsec with the data which consist of two or more musical-sound samples sampled by the predetermined sampling period, and the time stump given to these data. The data buffer for 32 storing the packet generated by the aforementioned data generation circuit 31, The standby buffer of FIFO (First In First Out) composition with which the packet by which 33 was stored in the aforementioned data buffer 32 is written in according to the output (cycle-timer output) from the aforementioned cycle-timer register in which the 1st timing of the above is shown, It is the transmission buffer in which the aforementioned packet read from the aforementioned standby buffer 33 according to the cycle-start signal generated by receiving the cycle-start packet which shows the start of a new transmission cycle is stored. 34 -- the above -- The packet stored in this transmission buffer 34 is sent out to the aforementioned network 10 to the timing specified to be the isochronous channel concerned.

[0017] The receive buffer which (b) of drawing 3 is the functional block diagram of the aforementioned receiving station, and 35 receives the packet which should receive in this receiving station of the packets sent out on the aforementioned network, and is stored, The standby buffer of FIFO composition with which the packet by which 36 was stored in the aforementioned receive buffer 35 is written in according to the aforementioned cycle-start signal, The data buffer from which 37 reads the packet in the aforementioned standby buffer 36 according to the output of the cycle timer which shows the 1st timing of the above, 38 is a data use circuit which reproduces the data transmitted by the packet stored in the aforementioned data buffer 37 to the timing specified by the time stump.

[0018] Thus, in a transmitting side, a data packet is generated corresponding to the 1st timing, and this is transmitted on a network with a cycle-start signal (the 2nd timing). On the other hand in a receiving side,

the packet transmitted according to the 2nd timing of the above will be received, and the data concerned will be reproduced according to the 1st timing of the above.

[0019] Drawing 4 is drawing for explaining the transmitting packet generated in this data generation circuit 31. (a) of drawing 4 is drawing for explaining the data transmitted, for example, let it be data with which five discrete data 1-5 which sampled continuous ringings, such as a musical-sound wave signal, by the predetermined sampling period t_s ($t_s=25(=125/5)$ msec in this case), and were obtained are transmitted. These 1st sampling data 1 are data sampled when only time t was overdue from the 1st timing signal of the above, and the other sampling data 2-5 are data sampled to the timing in which only time to be equivalent to the multiple to which Time t_s corresponds from the aforementioned time t , respectively was.

[0020] Moreover, in this bus system, it considers as the reference clock frequency of $\phi=24.576\text{MHz}$ (clock-period $=40.7\text{ns}$) of a system, and the aforementioned clock period can be expressed for the time position in the aforementioned 1 criteria cycle (125microsec) as a unit. That is, zero to 3071 clock can express the aforementioned clock period for it, being able to use the time position in the aforementioned 1 criteria cycle as a unit.

[0021] Then, the value which expressed the time position t in this criteria cycle of the 1st sampling data 1 in the criteria cycle as the aforementioned time stamp, and expressed the aforementioned clock period as a unit is used as a time stamp value, and it is made to determine reproduction time about the other sampling data 2-5 in this invention by adding a sampling period t_s one by one from the 1st sampling data 1 of the above.

[0022] The composition of the packet for transmitting such data is shown in (b) of drawing 4. the time stamp with which a transmitting packet expresses the aforementioned time t first as shown in this drawing, then the 1- each 5th sampling value is combined and constituted As mentioned above, a time stamp is what expressed the aforementioned time t in the criteria cycle with the aforementioned number of system clocks, and it serves as 12-bit data in order to take the value of 0-3071.

[0023] The composition of the time stamp currently used conventionally [aforementioned] for comparison is shown in (c) of drawing 4. Also in this case, although it consists of a time stamp and each sampling data 1-5 like the packet of this invention shown in (b), let the time stamp be 32-bit data. That is, 12 bits of the low rank show the aforementioned time t like the case of the aforementioned this invention, the following 13 bits show the number of the aforementioned criteria cycle, and the time further expressed in the second by 7 bits of the most significant is shown. Thus, since it considered as the time stamp expressing all the absolute times currently shared between each node conventionally, it had become a time stamp longer 20 bits than the packet of this invention shown above (b).

[0024] Now, although the transmit data generated according to the 1st timing in the network system of this invention is sent out to the network according to the 2nd timing As mentioned above, since it may be generated with delay to the 1st timing of the above, the state of saying that two transmit data are contained in one criteria cycle determined by the 1st timing may generate the 2nd timing of the above. Also in this case, according to the data transfer system of this invention, original data are reproducible in a satisfactory predetermined time position.

[0025] With reference to the timing diagram of drawing 5, operation of the data transfer system of this invention is explained. In this drawing, a horizontal axis is a time-axis, and in the aforementioned data generation circuit 31, the data which sampled the original data in the criteria cycle from time t_1 to t_2 , and were obtained are made into the packet 51 to which the 12-bit time stamp mentioned above was added, and are stored in a data buffer 32. The packet 51 stored in this data buffer 51 is stored in the standby buffer 33 of the aforementioned FIFO composition by the cycle-timer output generated at time t_2 .

[0026] Moreover, the packet 52 corresponding to the original data of the period of t_3 is similarly generated from time t_2 , and it is stored in a data buffer 32. When time t_3 comes, the aforementioned packet 52 is stored in the aforementioned standby buffer 33 by the aforementioned cycle-timer output. Since the cycle-start packet is not transmitted as mentioned above in this time t_3 , the aforementioned packet 51 and the packet 52 are stored in the aforementioned standby buffer 33. Here, if it is behind for a

while from the aforementioned time t3, a transmission cycle is started and a cycle-start packet is sent out so that it may illustrate, a cycle-start signal will be outputted and the aforementioned packet 51 will be transmitted to the aforementioned transmission buffer 34 from the aforementioned standby buffer 33 according to this. The packet stored in this transmission buffer 34 will be sent out on a network 10 at the time corresponding to this isochronous channel in this transmission cycle.

[0027] In illustration, this transmission cycle is started later than the criteria cycle, and it has come after the next criteria timing time t4 that the aforementioned packet 51 is sent out on a network. At this time, this packet will be stored after time t4 at a receive buffer 35. And if the following transmission cycle is started to the timing in which only time td was behind [time t4] and the cycle-start packet 101 is sent out, thereby, the aforementioned packet 52 will be transmitted to the aforementioned transmission buffer 34 from the aforementioned standby buffer 33, and it will be sent out on a network during [this] the transmission cycle. Thus, two packets will be transmitted and received in one criteria cycle of time t4-t5.

[0028] Although a packet 51 and a packet 52 are received during the time t4-t5 and it is written in a receive buffer 35, the received packet is transmitted to a data buffer 37 from this standby buffer 36 by the cycle-timer output which shifts to the aforementioned standby buffer 36 and shows criteria timing with the aforementioned cycle-start signal. That is, a packet 51 is stored in a receive buffer 35 after time t4, and this packet 51 is stored in the standby buffer 36 by the cycle-start signal showing the start of the following transmission cycle. The packet 52 transmitted in the transmission cycle started by this cycle-start signal is stored in the receive buffer 35. When time t5 comes, the packet 51 stored in the aforementioned standby buffer 36 will be written in a data buffer 51 by the cycle-timer output concerned, and as mentioned above, it will reappear on a time-axis in the data use circuit 38. Moreover, the packet 52 stored in the aforementioned receive buffer 35 will be transmitted to the aforementioned standby buffer 36 according to the cycle-start signal which shows the start of the following transmission cycle, will be written in the aforementioned data buffer 37 at time t6, and it will reappear to exact timing during the time t6-t7.

[0029] Thus, it becomes possible to reproduce original data to exact timing only by using the time stump data only showing the time lag from the cycle-timer time in each criteria cycle with little number of bits.

[0030] The function of each functional block explained above is realizable with software. Drawing 6 is the flow chart of the processing in the transmitting side and receiving side for realizing such a function. In this drawing, (a) shows the processing in a transmitting side and (b) shows the processing in a receiving side. In a transmitting side, Step S10 is the aforementioned data generation processing. This processing is processing which generates the data packet which realizes the same function as the aforementioned data generation circuit, and gave the time stump corresponding to the head value by considering the original data which should be transmitted as an input.

[0031] Step S12 is cycle-timer interrupt processing performed when cycle-timer interruption which shows the 1st timing of the above occurs, the data in a data buffer are added to a standby buffer, and processing eliminated from a data buffer is performed. Step S14 is cycle-start interrupt processing started by cycle-start interruption generated when the aforementioned cycle-start packet is received, and processing which takes out the oldest data in a standby buffer to a transmission buffer is performed in this processing.

[0032] (b) shows processing of a receiving side, Step S20 is data receive-interrupt processing generated when the packet on a network is received, and in this processing, when received data are data required for a local station, it records the packet on a receive buffer. Step S21 is processing started by cycle-start interruption generated when the aforementioned cycle-start packet is received, and is processing which adds the aforementioned packet recorded in the receive buffer in a standby buffer, and eliminates the packet from a receive buffer. Step S24 is processing started by the aforementioned cycle-timer interruption, and is processing which moves the oldest data in a standby buffer to a data buffer.

[0033] In addition, although the case where an IEEE1394 high-speed serial bus system is used above has been explained, this invention can be applied like the network system which is supporting the same

isochronous transfer, without being restricted to this. Moreover, the number of bits of the aforementioned time stamp can also be arbitrarily determined according to the time precision demanded. Furthermore, the data transmitted should just flow in time [not only musical sound etc. but for example, picture (animation) data, data points other than musical sound, etc.].

[0034]

[Effect of the Invention] As explained above, according to this invention, the number of bits of a time stamp can be lessened and a transmission efficiency can be raised.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32606

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/56 25/00		9744-5K	H 0 4 L 11/20 25/00	1 0 2 A

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21) 出願番号 特願平8-200989

(22) 出願日 平成8年(1996) 7月12日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 藤森 潤一

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72) 発明者 稲垣 芳博

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72) 発明者 栗林 泰孝

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(74) 代理人 弁理士 浅見 保男 (外2名)

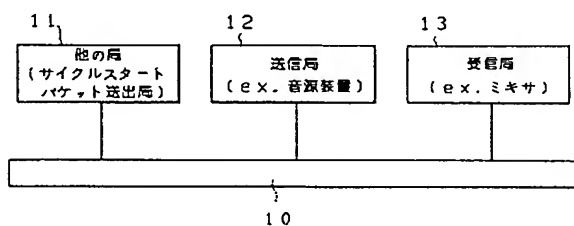
最終頁に続く

(54) 【発明の名称】 データ送受信装置およびデータ転送システム

(57) 【要約】

【課題】 タイムスタンプのビット数を少なくして、伝送効率を向上する。

【解決手段】 ネットワーク10は、125 μ sec周期の第1のタイミング信号に準じて発生されるサイクルスタート信号により開始される伝送サイクル中にアイソクロナスパケットを必ず転送するように構成されている。送信局12は、アナログ信号を所定のサンプリングタイミングでサンプリングしたデータに、前記第1のタイミング信号と該サンプリングタイミングとの差の時間に対応するタイムスタンプを付加したアイソクロナスパケットを生成し、前記第1のタイミング信号により送信側のFIFOに書き込み、前記サイクルスタート信号により該FIFOからネットワーク10に送出する。受信局13は受信したパケットをサイクルスタート信号により受信側のFIFOに書き込み、前記第1のタイミング信号により該FIFOから読み出して、時間軸上に前記アナログ信号を再現する。



【特許請求の範囲】

【請求項 1】 一定の周期を有する第 1 のタイミング信号からの差分データとして表わされたタイムスタンプが付加された送信データを、前記第 1 のタイミング信号に準じて発生される第 2 のタイミング信号に基づいて、ネットワーク上に送出するデータ送信装置であって、F I F O バッファを有し、前記第 1 のタイミング信号に基づいて前記送信データを前記 F I F O バッファに書き込み、前記第 2 のタイミング信号に基づいて前記 F I F O バッファから前記送信データを取り出してネットワーク上に送信することを特徴とするデータ送信装置。

【請求項 2】 一定の周期を有する第 1 のタイミング信号からの差分データとして表わされたタイムスタンプが付加され、前記第 1 のタイミング信号に準じて発生される第 2 のタイミング信号に基づいてネットワーク上に送信されたデータを受信するデータ受信装置であって、F I F O バッファを有し、前記ネットワークから受信した前記データを前記第 2 のタイミング信号に基づいて前記 F I F O バッファに書き込み、前記第 1 のタイミング信号に基づいて前記 F I F O バッファからデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現することを特徴とするデータ受信装置。

【請求項 3】 データ送信装置とデータ受信装置とを有し、一定の周期を有する第 1 のタイミング信号に準じて発生される第 2 のタイミング信号に基づいてネットワーク上でのデータの転送が制御されるデータ転送システムであって、前記データ送信装置は、前記第 1 のタイミング信号からの差分データとして表わされたタイムスタンプを送信データに付加し、前記タイムスタンプが付加された送信データを前記第 1 のタイミング信号に基づいて第 1 の F I F O バッファに書き込み、前記第 2 のタイミング信号に基づいて前記第 1 の F I F O バッファから前記送信データを取り出してネットワーク上に送信し、前記データ受信装置は、前記第 2 のタイミング信号に基づいて前記ネットワーク上に送信されたデータを第 2 の F I F O バッファに書き込み、前記第 1 のタイミング信号に基づいて前記第 2 の F I F O バッファから受信したデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現することを特徴とするデータ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ネットワークを経由してタイムスタンプが付加されたデータを転送するデ

ータ送受信装置およびデータ転送システムに関する。

【0002】

【従来の技術】ネットワークを経由してデータを伝送する方式として、送信側と受信側とが連続して同一周期の信号を伝送する同期通信方式、間欠的な時間間隔である定められた情報の単位を伝送する非同期通信方式、および、これらの中間に位置づけられるアイソクロナス (Is o c h r o n o u s) 転送方式がある。このアイソクロナス転送方式によれば、あらかじめ帯域を確保して時間的な遅延が保証されたリアルタイム性の高いデータ転送を行なうことが可能となる。

【0003】図 7 を参照してこのアイソクロナス転送方式について説明する。この図に示したのは I E E E 1 3 9 4 高速シリアルバスとよばれるシステムにおけるバス上のパケットの配置例を示したもので、サイクルスタートパケット 1 0 1、アイソクロナスパケット 1 0 2 および非同期 (a s y n c h r o n o u s) パケット 1 0 3 の 3 種類のパケットがネットワーク上に配置されている。また、破線はこのシステムにおいて基準とされる第 1 のタイミング信号 (c y c l e s y n c h) を示しており、この第 1 のタイミング信号は 1 2 5 μ s e c 周期 (8 K H z) の信号とされている。

【0004】前記サイクルスタートパケット 1 0 1 は、このバスに接続されている複数のノードのうちサイクルマスターと呼ばれるノードから送出されるパケットであり、このサイクルスタートパケット 1 0 1 により新たな伝送サイクルが開始される。前記サイクルマスターは精密なクロック源を有しており、このクロック源からの前記第 1 のタイミング信号の時間間隔で前記サイクルスタートパケット 1 0 1 を送信しようとするが、そのときに、他のパケットの転送が進行中であるときには、その転送が終了するまで前記サイクルスタートパケット 1 0 1 の送信は待たされるようになされている。1 0 4 はこの遅延時間 (s t a r t d e l a y) を示すものであり、この遅延時間は前記サイクルスタートパケット 1 0 1 の中に符号化されて各ノードに送出される。なお、前記ノードから送信されたパケットは同一のクロック期間内に他のノードに受信されることは保証されている。

【0005】各ノードはそれぞれ 3 2 ビットのサイクルタイマーレジスタを備えている。各サイクルタイマーレジスタは、その下位の 1 2 ビットを用いてシステムの基準クロックである 2 4 . 5 7 6 M H z のクロック信号 (周期 4 0 . 7 n s e c) を 3 0 7 2 を法として計数し、その上位の 1 3 ビットにより前記 8 K H z の基準サイクルの計数を行い、最上位の 7 ビットにより秒を計数するようになされている。そして、前記サイクルマスターは、前記サイクルスタートパケット 1 0 1 を用いて自己のサイクルタイマーレジスタの内容をすべてのノードのサイクルタイマーレジスタにコピーさせ、すべてのノードを一定の位相差以内に同期させる。このようにし

て、このネットワークにおいては共通の時間基準が保証されている。

【0006】アイソクロナスパケット102は、デジタルサウンド、ビデオあるいは演奏データなどの精密なタイミング参照を必要とするデータを転送させるために用いられるチャンネルであり、これらアイソクロナスパケット102は、各伝送サイクル内において必ず伝送されることが保証されている。また、前記非同期パケット103は前記アイソクロナスパケット102の伝送が終了した後に当該伝送サイクルに空き時間があるときに非同期に伝送されるパケットである。

【0007】さて、これら各種のネットワークを利用して、音声データ、画像データあるいは演奏データなどの時系列データを伝送する場合において、伝送経路が完全な同期通信方式とされていないときには、伝送されるデータの時間軸上での再現性を保証するために、データ自身にそのデータが再現されるべき時刻を示すタイムスタンプを付加して送信し、受信側ではそのタイムスタンプを参照して、当該時刻に到達した時点で当該データを再生することが行われている。

【0008】

【発明が解決しようとする課題】このようなネットワーク上で用いられるタイムスタンプとしては、時間を一意に認識することができるものでなければならない。すなわち、タイムスタンプには、ある程度妥当と思われる時間幅以上の繰り返し周期が必要となり、そのためには多くの情報量を必要とすることとなる。情報をデジタル表現で表わす場合は、多くの情報量は多くのビット数に相当するため、タイムスタンプによって指定する時間情報の時間分解能を上げるためには、多くの情報量、すなわち、多くのビット数を必要とすることとなる。例えば、前記図7に関して説明した場合においては、32ビット長のタイムスタンプが用いられていた。

【0009】さらに、前述のようなタイムスタンプを付加してデータを送信するタイプの伝送方式においては、データのほかにタイムスタンプ情報を所定期間ごとに送る必要があり、タイムスタンプ情報の送信データに対する割合は小さいことが望ましい。しかしながら、前述のように、タイムスタンプにより表現される時間の一意性の確保や時間分解能の向上のためには、タイムスタンプのビット数が大きくなってしまい、データ転送効率が低下してしまうという問題点があった。

【0010】そこで本発明は、データにタイムスタンプを付加して送信することにより、伝送されるデータの時間軸上での再現を図ることができるようにしたデータ転送システムにおいて、タイムスタンプのビット数を減らしてデータ転送効率を向上することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明のデータ送信装置は、一定の周期を有する第

1のタイミング信号からの差分データとして表わされたタイムスタンプが付加された送信データを、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいて、ネットワーク上に送出するデータ送信装置であって、FIFOバッファを有し、前記第1のタイミング信号に基づいて前記送信データを前記FIFOバッファに書き込み、前記第2のタイミング信号に基づいて前記FIFOバッファから前記送信データを取り出してネットワーク上に送信するものである。

【0012】また、本発明のデータ受信装置は、一定の周期を有する第1のタイミング信号からの差分データとして表わされたタイムスタンプが付加され、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上に送信されたデータを受信するデータ受信装置であって、FIFOバッファを有し、前記ネットワークから受信した前記データを前記第2のタイミング信号に基づいて前記FIFOバッファに書き込み、前記第1のタイミング信号に基づいて前記FIFOバッファからデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現するものである。

【0013】さらにまた、本発明のデータ転送システムは、データ送信装置とデータ受信装置とを有し、一定の周期を有する第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上でのデータの転送が制御されるデータ転送システムであって、前記データ送信装置は、前記第1のタイミング信号からの差分データとして表わされたタイムスタンプを送信データに付加し、前記タイムスタンプが付加された送信データを前記第1のタイミング信号に基づいて第1のFIFOバッファに書き込み、前記第2のタイミング信号に基づいて前記第1のFIFOバッファから前記送信データを取り出してネットワーク上に送信し、前記データ受信装置は、前記第2のタイミング信号に基づいて前記ネットワーク上に送信されたデータを第2のFIFOバッファに書き込み、前記第1のタイミング信号に基づいて前記第2のFIFOバッファから受信したデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現するものである。

【0014】

【発明の実施の形態】図1は本発明のデータ転送システムの構成の一例を示すブロック図である。この図において、10は前記ネットワークであり、前記図7に示したアイソクロナス転送を行うことができるものである。また、11～13はこのネットワーク10に接続されている各ノードの一例であり、12は時間軸上で再現することが必要とされる時系列データを送信する送信局であり、例えば楽音波形信号を送出する音源装置である。また、13は前記時系列データを受信する受信局であり、例えば前記楽音波形信号を混合するミキサである。この

送信局 12 から所定のサンプリングタイミングによりサンプリングされた楽音波形データなどの時系列データがタイムスタンプを付加して送信され、前記受信局 13 はそのデータを受信して前記タイムスタンプにより指定されたタイミングで楽音波形データを再生する。なお、このネットワーク 10 には複数のその他のノードも接続されており、その他の局 11 が前述したサイクルマスター（サイクルスタートパケット送出局）となっている。

【0015】図 2 は、前記各ノード 11～13 の内部構成の一例を示すブロック図であり、21 は中央処理装置（CPU）、22 は動作プログラムや各種データが格納されている ROM、23 はワーキングエリア等として使用される RAM、24 は前記サイクルタイマーレジスタを含み、各種タイミング信号を発生するタイマ、26 は前記ネットワーク 10 に接続するためのネットワークインタフェース回路、27 は内部バスである。また、25 はデータ利用／生成回路であり、このノードが送信局 12 であるときはデータ生成回路とされ、受信局 13 であるときはデータ利用回路とされている。

【0016】図 3 は前記送信局 12 と前記受信局 13 におけるデータ転送動作を説明するための機能ブロック図である。図 3 の（a）は前記送信局 12 の機能を示すブロック図である。この図において、31 はデータ生成回路であり、 $125\mu\text{sec}$ の前記基準周期毎に、所定のサンプリング周期でサンプリングされた複数の楽音サンプルからなるデータと、該データに付与されるタイムスタンプとにより、アイソクロナスチャンネルの送信パケットを生成する。32 は前記データ生成回路 31 により生成されたパケットを格納するためのデータバッファ、33 は前記データバッファ 32 に格納されたパケットが前記第 1 のタイミングを示す前記サイクルタイマーレジスタからの出力（サイクルタイマ出力）に応じて書き込まれる FIFO（First In First Out）構成の待機バッファ、34 は前記新たな伝送サイクルの開始を示すサイクルスタートパケットを受信することにより発生されるサイクルスタート信号に応じて前記待機バッファ 33 から読み出された前記パケットが格納される送信バッファであり、この送信バッファ 34 に格納されたパケットは当該アイソクロナスチャンネルに指定されたタイミングで前記ネットワーク 10 に送出される。

【0017】図 3 の（b）は前記受信局の機能ブロック図であり、35 は前記ネットワーク上に送出されたパケットのうちのこの受信局において受信すべきパケットを受信し格納する受信バッファ、36 は前記受信バッファ 35 に格納されたパケットが前記サイクルスタート信号に応じて書き込まれる FIFO 構成の待機バッファ、37 は前記待機バッファ 36 内のパケットを前記第 1 のタイミングを示すサイクルタイマの出力に応じて読み出すデータバッファ、38 は前記データバッファ 37 に格納されたパケットにより伝送されたデータをタイムスタ

ンブにより指定されたタイミングで再生するデータ利用回路である。

【0018】このように、送信側においては、第 1 のタイミングに対応してデータパケットを生成し、これをサイクルスタート信号（第 2 のタイミング）によりネットワーク上に送信する。一方、受信側においては、前記第 2 のタイミングに応じて送信されたパケットを受信し、前記第 1 のタイミングに応じて当該データを再生することとなる。

【0019】図 4 はこのデータ生成回路 31 において生成される送信パケットを説明するための図である。図 4 の（a）は送信されるデータを説明するための図であり、例えば楽音波形信号などの連続信号を所定のサンプリング間隔 t_s （この場合には、 $t_s = 25 (= 125 / 5) \mu\text{sec}$ ）でサンプリングして得られた 5 つの離散データ 1～5 が送信されるデータとされている。この第 1 番目のサンプリングデータ 1 は前記第 1 のタイミング信号から時間 t だけ遅れた時点においてサンプリングされたデータであり、その他のサンプリングデータ 2～5 は前記時刻 t からそれぞれ時間 t_s の対応する倍数に相当する時間だけ遅れたタイミングでサンプリングされたデータである。

【0020】また、このバスシステムにおいてはシステムの基準クロック周波数 $\Phi = 24.576\text{MHz}$ （クロック周期 $= 40.7\text{ns}$ ）とされており、前記 1 基準サイクル（ $125\mu\text{sec}$ ）内の時間位置を前記クロック周期を単位として表すことができる。すなわち、前記 1 基準サイクル内の時間位置を前記クロック周期を単位として $0 \sim 3071$ クロックにより表すことができる。

【0021】そこで、本発明においては、前記タイムスタンプとして、その基準サイクル内の第 1 番目のサンプリングデータ 1 の該基準サイクル内の時間位置 t を前記クロック周期を単位として表した値をタイムスタンプ値として使用し、その他のサンプリングデータ 2～5 については、前記第 1 のサンプリングデータ 1 からサンプリング周期 t_s を順次加算することにより再生時刻を決定するようにしている。

【0022】このようなデータを送信するためのパケットの構成を図 4 の（b）に示す。この図に示すように、送信パケットは最初に前記時間 t を表すタイムスタンプ、続いて、第 1～第 5 の各サンプリング値が結合されて構成されている。前述したように、タイムスタンプはその基準サイクル内における前記時間 t を前記システムクロック数により表したもので、 $0 \sim 3071$ の値をとるため、12 ビットのデータとなる。

【0023】比較のために、前記従来使用されていたタイムスタンプの構成を図 4 の（c）に示す。この場合にも、（b）に示した本発明のパケットと同様にタイムスタンプと各サンプリングデータ 1～5 より構成されているが、タイムスタンプが、例えば、32 ビットのデータ

とされている。すなわち、その下位12ビットにより前記本発明の場合と同様に前記時間 t を示し、次の13ビットにより前記基準サイクルの番号を示し、さらに最上位の7ビットにより秒で表現した時刻を示している。このように、従来は各ノードで共有している絶対時間の全てを表現するタイムスタンプとされていたため、前記

(b)に示した本発明のパケットよりも20ビット長いタイムスタンプとなっていた。

【0024】さて、本発明のネットワークシステムにおいては第1のタイミングに応じて生成された送信データを第2のタイミングに応じてネットワークに送出しているが、前述したように、前記第2のタイミングは前記第1のタイミングに対して遅延をもって発生されることがあるため、第1のタイミングにより決定される1つの基準サイクルの中に、2つの送信データが含まれるという状態が発生する場合がある。このような場合においても、本発明のデータ転送システムによれば問題なく所定の時間位置で原データを再現することができる。

【0025】図5のタイムチャートを参照して、本発明のデータ転送システムの動作について説明する。この図において、横軸は時間軸であり、時刻 t_1 から t_2 までの基準サイクルにおける原データをサンプリングして得られたデータは、前記データ生成回路31において、前述した12ビットのタイムスタンプが付加されたパケット51とされ、データバッファ32に格納される。このデータバッファ51に格納されたパケット51は、時刻 t_2 に発生されるサイクルタイマ出力により、前記FIFO構成の待機バッファ33に格納される。

【0026】また、時刻 t_2 から t_3 の期間の原データに対応するパケット52も同様に生成されてデータバッファ32に格納される。時刻 t_3 になると、前記サイクルタイマ出力により、前記パケット52は前記待機バッファ33に格納される。この時刻 t_3 においては前述したように、サイクルスタートパケットが送信されていないので、前記待機バッファ33には、前記パケット51とパケット52が格納されている。ここで、図示するように、前記時刻 t_3 から少し遅れて伝送サイクルが開始され、サイクルスタートパケットが送出されると、サイクルスタート信号が出力され、これに応じて、前記待機バッファ33から前記パケット51が前記送信バッファ34に転送される。この送信バッファ34内に格納されたパケットはこの伝送サイクル内のこのアイソクロナスチャンネルに対応する時刻にネットワーク10上に送出されることとなる。

【0027】図示の場合においては、この伝送サイクルは基準サイクルより遅れて開始されており、前記パケット51がネットワーク上に送出されるのが次の基準タイミング時刻 t_4 よりも後になっている。このとき、このパケットは時刻 t_4 よりも後に受信バッファ35に格納されることとなる。そして、時刻 t_4 よりも時間 t_d

け遅れたタイミングで次の伝送サイクルが開始され、そのサイクルスタートパケット101が送出されると、これにより、前記待機バッファ33から前記パケット52が前記送信バッファ34に転送され、この伝送サイクル期間にネットワーク上に送出される。このように、時刻 $t_4 \sim t_5$ の一つの基準サイクル内に2つのパケットが送受信されることとなる。

【0028】時刻 $t_4 \sim t_5$ の期間にパケット51とパケット52とが受信され受信バッファ35に書き込まれるが、受信されたパケットは前記サイクルスタート信号により、前記待機バッファ36に移行され、基準タイミングを示すサイクルタイマ出力により該待機バッファ36からデータバッファ37に転送される。すなわち、時刻 t_4 の後にパケット51が受信バッファ35に格納され、該パケット51は次の伝送サイクルの開始を表すサイクルスタート信号により、待機バッファ36に格納される。このサイクルスタート信号により開始された伝送サイクルにおいて伝送されたパケット52は受信バッファ35に格納されている。時刻 t_5 になると当該サイクルタイマ出力により、前記待機バッファ36に格納されたパケット51はデータバッファ51に書き込まれ、前述したように、データ利用回路38において時間軸上に再現されることとなる。また、前記受信バッファ35に格納されていた、パケット35はその次の伝送サイクルの開始を示すサイクルスタート信号に応じて、前記待機バッファ36に転送され、時刻 t_6 に前記データバッファ37に書き込まれて、時刻 $t_6 \sim t_7$ の期間に正確なタイミングで再現されることとなる。

【0029】このようにして、各基準サイクル内のサイクルタイマ時刻からの時間のずれのみを表したビット数の少ないタイムスタンプデータを用いるだけで、正確なタイミングで原データを再現することが可能となる。

【0030】以上説明した各機能ブロックの機能をソフトウェアによっても実現することができる。図6は、このような機能を実現するための送信側および受信側における処理のフローチャートである。この図において、

(a)は送信側における処理を示し、(b)は受信側における処理を示している。送信側において、ステップS10は前記データ生成処理である。この処理は前記データ生成回路と同様の機能を実現するものであり、送信すべき原データを入力として、その先頭値に対応するタイムスタンプを付与したデータパケットを生成する処理である。

【0031】ステップS12は前記第1のタイミングを示すサイクルタイマ割込が発生したときに実行されるサイクルタイマ割込処理であり、データバッファ内のデータを待機バッファに追加し、データバッファから消去する処理が行われる。ステップS14は前記サイクルスタートパケットを受信したときに発生されるサイクルスタート割込により開始されるサイクルスタート割込処理で

あり、この処理においては、待機バッファ内の最も古いデータを送信バッファに取り出す処理が行われる。

【0032】(b)は受信側の処理を示しており、ステップS20はネットワーク上のパケットを受信したときに発生するデータ受信割込処理であり、この処理においては、受信データが自局に必要なデータであるときに、そのパケットを受信バッファに記録する。ステップS21は前記サイクルスタートパケットを受信したときに発生されるサイクルスタート割込により開始される処理であり、受信バッファ内に記録された前記パケットを待機バッファ内に追加し、そのパケットを受信バッファから消去する処理である。ステップS24は前記サイクルタイム割込により開始される処理であり、待機バッファ内の最も古いデータをデータバッファに移動する処理である。

【0033】なお、以上においては、IEEE1394高速シリアルバスシステムを用いた場合について説明してきたが、本発明はこれに限られることなく、同様のアイソクロナス転送をサポートしているネットワークシステムに同様に適用することができる。また、前記タイムスタンプのビット数も、要求される時間精度などに応じて任意に決定することができる。さらに、転送されるデータは楽音等に限らず、例えば、画像（動画）データ、楽音以外の波形データなどの時間的に流れるものであればよい。

【0034】

【発明の効果】以上説明したように、本発明によれば、タイムスタンプのビット数を少なくすることができ、伝

送効率を向上させることができる。

【図面の簡単な説明】

【図1】 本発明のデータ転送システムの概略を示す図である。

【図2】 本発明のデータ転送システムにおける各局の構成を示す図である。

【図3】 本発明のデータ転送システムにおける送信装置および受信装置を説明するための機能ブロック図である。

【図4】 本発明におけるパケットを説明するための図である。

【図5】 本発明の動作を説明するためのタイミングチャートである。

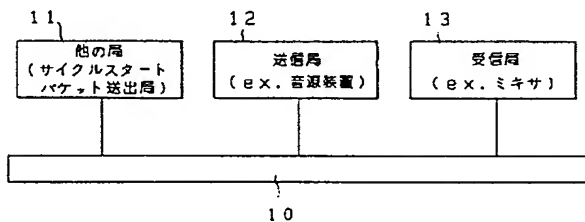
【図6】 本発明のデータ転送システムにおける処理のフローチャートである。

【図7】 ネットワーク上のパケットを説明するための図である。

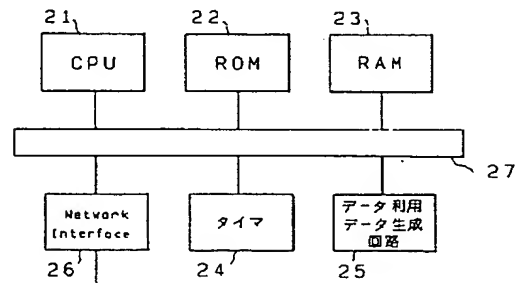
【符号の説明】

10 ネットワーク、11 ノード、12 送信局、13 受信局、21 CPU、22 ROM、23 RAM、24 タイマ、25 データ利用/生成回路、26 ネットワークインタフェース回路、27 内部バス、31 データ生成回路、32、37 データバッファ、33、36 待機バッファ、34 送信バッファ、35 受信バッファ、38 データ利用回路、51、52、102アイソクロナスパケット、101 サイクルスタートパケット、103 非同期パケット、104 遅延時間

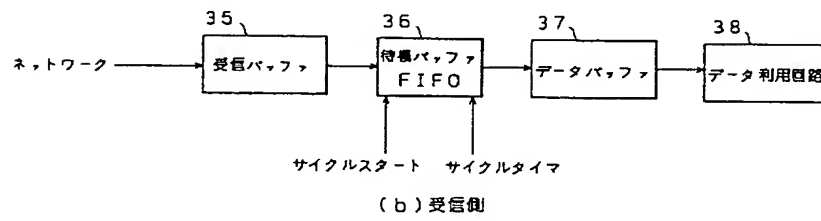
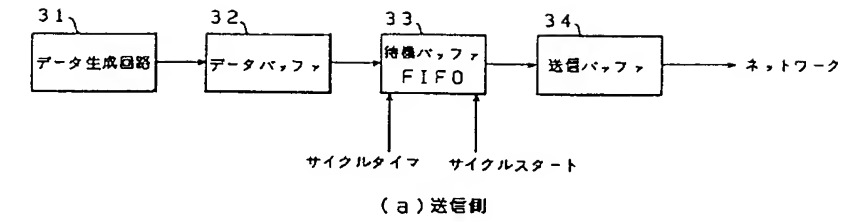
【図1】



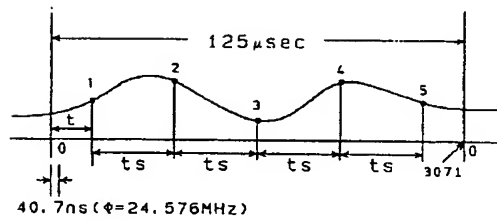
【図2】



【図3】

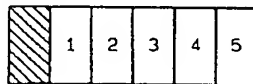


【図4】



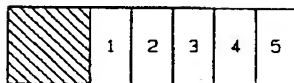
(a)

タイムスタンプ



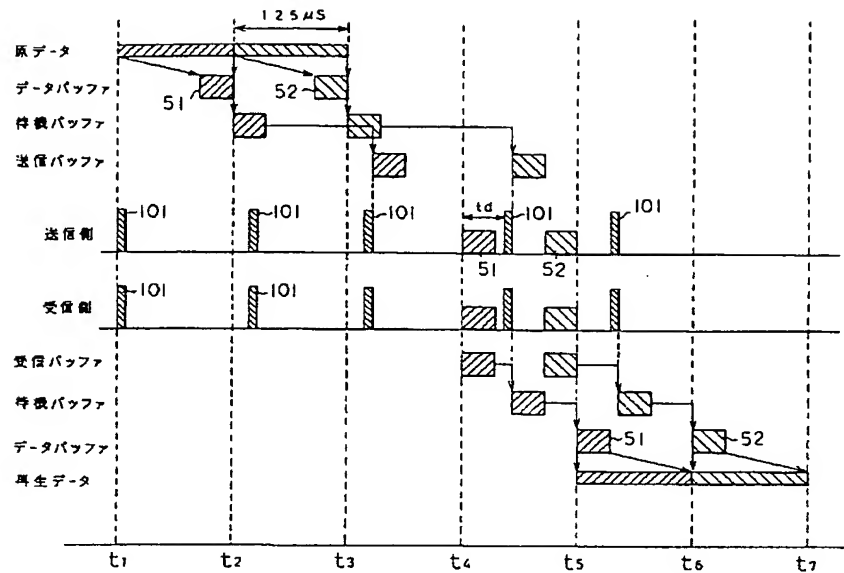
(b)

タイムスタンプ

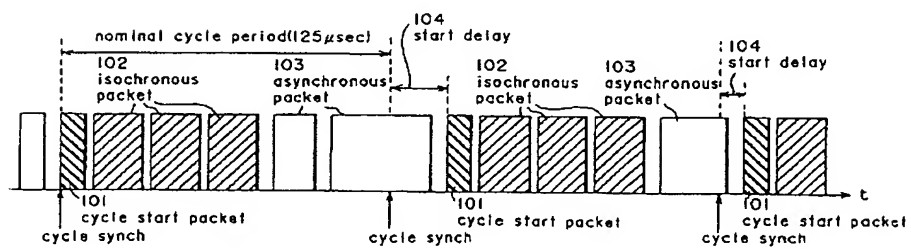


(c)

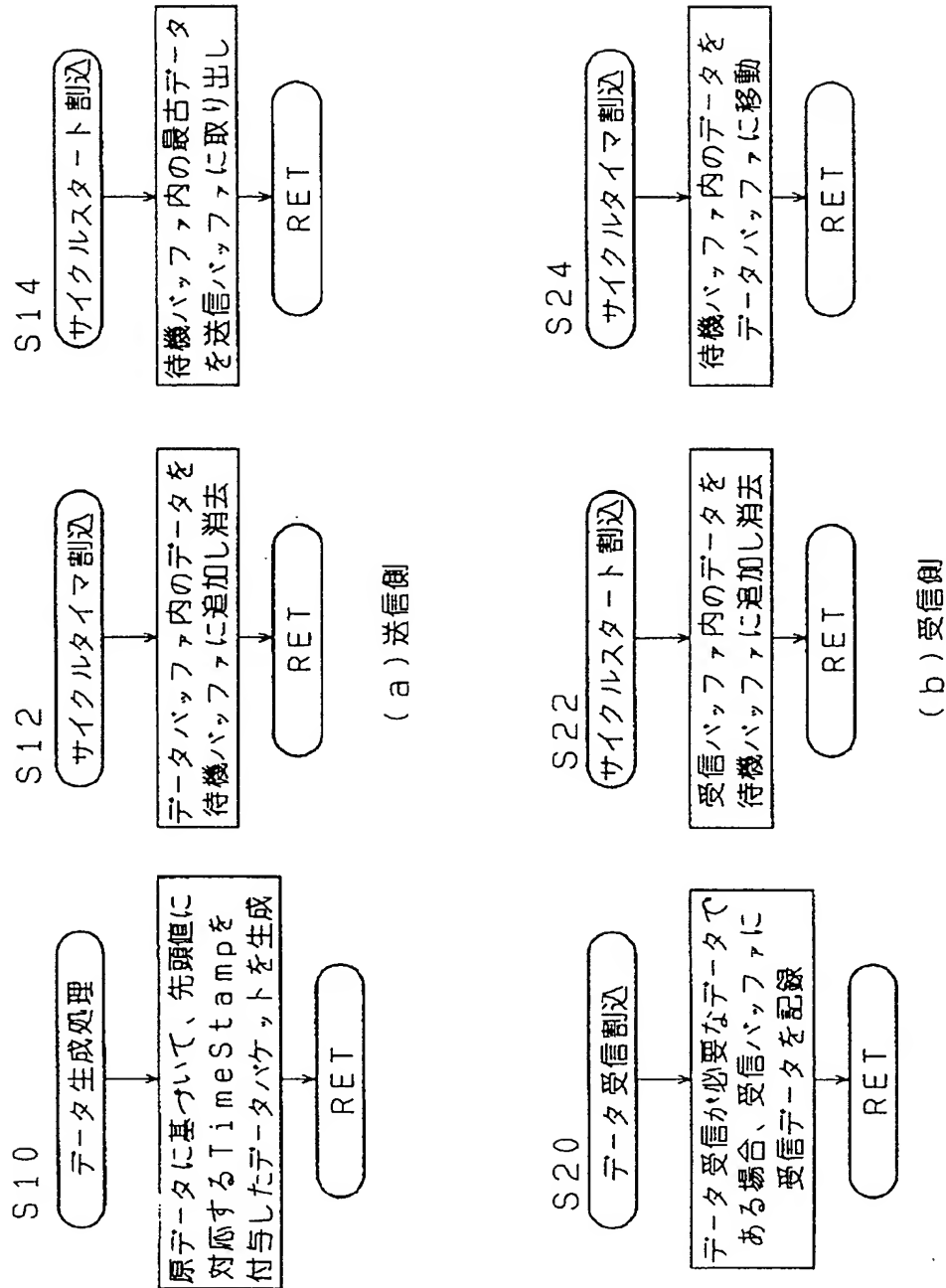
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 大谷 康
静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72)発明者 阿部 達利
静岡県浜松市中沢町10番1号 ヤマハ株式
会社内